


SEMICONDUCTOR DEVICE AND ITS FABRICATION

Patent Number: JP7249770
Publication date: 1995-09-26
Inventor(s): FUNATO NORIHIDE; others: 02
Applicant(s):: TOSHIBA CORP
Requested Patent:  JP7249770
Application Number: JP19940067879 19940310
Priority Number(s):
IPC Classification: H01L29/78 ; H01L21/316
EC Classification:
Equivalents:

Abstract

PURPOSE: To obtain a vertical MOSFET in which fluctuation of threshold voltage is suppressed by composing a gate insulating film of a heat treated CVD insulating film and a thermal oxide film thereby reducing the charge being charged up at the gate insulating film.

CONSTITUTION: A drain region 11 is provided on the main surface of a semiconductor substrate 10 and a base region 12 is provided on the drain region 11, and then a source region 13 is provided on the surface of the base region. A gate insulating film 20 is then deposited on the inner wall face of a trench, and its periphery, penetrating the base region from the surface of the source region and reaching the drain region. A gate electrode G is then provided on the gate insulating film 20 composed of a thermal oxidation film 21 formed heat treating the surface of the semiconductor substrate 10 in oxidative atmosphere, and an annealed CVD insulating film 22 on the thermal oxidation film 21. Since the gate insulating film has stabilized electrical and mechanical characteristics, charge-up is suppressed.

Data supplied from the esp@cenet database - I2

特開平7-249770

(43) 公開日 平成7年(1995)9月28日

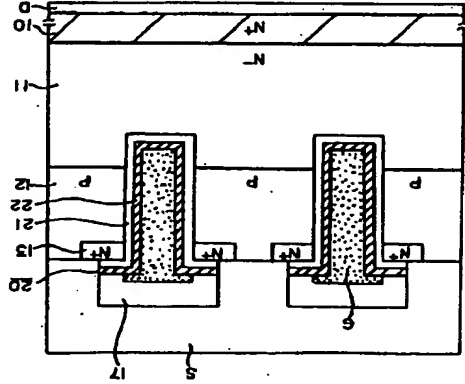
(51) Int. Cl. ⁴	識別記号	内訳理番号	P I	技術表示箇所
H 01 L 29/78	S 7352-4M			
21/316	X 7352-4M			
		H 01 L 29/78	3 2 1 V	
		審査請求 未請求	請求項の数 4	F D (全 8 頁)
(21) 出願番号	特開平6-87879	(71) 出願人	000003078	
(22) 出願日	平成6年(1994)3月10日			
		株式会社東芝		
		神奈川県川崎市幸区堀川町72番地		
		船戸 紀秀		
		神奈川県川崎市幸区小向東芝町1番地 株		
		式会社東芝多摩川工場内		
		米田 辰雄		
		神奈川県川崎市幸区小向東芝町1番地 株		
		式会社東芝多摩川工場内		
		廣瀬 達朗		
		神奈川県川崎市幸区小向東芝町1番地 株		
		式会社東芝多摩川工場内		
		井理士 竹村 肇		

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 ゲート絶縁膜にチャージアップされる電荷を減少させ、しきい電圧V_{th}の変動を抑えた縦型MOS FETを有する半導体装置及びその製造方法を提供する。

【構成】 半導体基板10には、主面上のドレイン領域11と、この上のペーシング領域12と、ペーシング領域のソース領域13と、ソース領域表面からペーシング領域を貫通し、ドレイン領域中にその底面が達するトレンチ内面壁及びこのトレンチ周辺に形成されたゲート絶縁膜20と、ゲート絶縁膜上のゲート電極Gとを備えている。ゲート絶縁膜は、半導体基板の表面を酸化性雰囲気中で熱処理して形成した熱酸化膜21及びこの熱酸化膜上のアノール化されたCVD絶縁膜22から構成されている。このゲート絶縁膜は電気的、機械的特性が安定していると共に、チャージアップされる電荷の量が従来より少ない。また、CVD絶縁膜表面に酸化膜を増着することによってCVD絶縁膜が熱酸化膜などを形成してアノール化されるので、このCVD絶縁膜は均一にアノール化される。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、前記半導体基板の第1の主面上に形成され、ドレイン領域として用いられる第1の半導体層と、前記第1の半導体層上に形成され、ペーシング領域として用いられる第2の半導体層と、前記第2の半導体層の表面領域に選択的に形成され、ソース領域として用いられる第1導電型の不純物拡散領域と、前記不純物拡散領域表面からこの不純物拡散領域及び前記第2の半導体層を貫通し、前記第1の半導体層中にその底面が達するトレンチの内部面上及びこのトレンチ周辺の前記不純物拡散領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記第2の半導体層上に形成され、少なくとも前記ソース領域に電気的に接続されたソース電極と、前記半導体基板の第2の主面上に形成されたドレイン電極とを備え、前記ゲート絶縁膜は、前記トレンチ内を含む第2の半導体層の表面を酸化性雰囲気中で熱処理して形成した熱酸化膜及びこの熱酸化膜上に形成された熱処理されたCVD絶縁膜から構成されていることを特徴とする半導体装置。

【請求項2】 前記CVD絶縁膜は、シリコン酸化膜又はシリコン酸化膜であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 半導体基板の第1の主面上にドレイン領域として用いられる第1導電型の第1の半導体層を形成する工程と、

前記第1の半導体層上にペーシング領域として用いられる第2導電型の第2の半導体層を形成する工程と、

前記第2の半導体層の表面領域にソース領域として用いられる第1導電型の不純物拡散領域を選択的に形成する工程と、

前記不純物拡散領域表面からこの不純物拡散領域及び前記第2の半導体層を貫通し、前記第1の半導体層中にその底面が達するトレンチを形成する工程と、

前記トレンチの内部面上及びこのトレンチ周辺の前記不純物拡散領域上に第1の絶縁膜である熱酸化膜を酸化性雰囲気中における熱処理により形成する工程と、 前記第1の絶縁膜の上に第2の絶縁膜であるCVD絶縁膜を形成する工程と、 前記第2の絶縁膜の上における熱酸化膜を酸化性雰囲気中における熱処理により形成する工程と、

前記第3の絶縁膜を第2の絶縁膜の上から取り除く工程と、

前記第2の絶縁膜上に、前記トレンチ内及びトレンチ周辺にゲート電極を形成する工程と、

前記第2の絶縁膜上に、少なくとも前記ソース領域に電気的に接続されたソース電極を形成する工程と、

前記半導体基板の第2の主面上にドレイン電極を形成する工程とを備え、

前記第1及び第2の絶縁膜とでゲート絶縁膜を構成し、

前記第2の絶縁膜は、前記第3の絶縁膜を製造する工程における熱処理によってアノール化されることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、縦型の絶縁ゲート型電界効果トランジスタを有する半導体装置の断面U字状のトレンチ型ゲート構造に関するものである。

【0002】

【従来の技術】 絶縁ゲート型電界効果トランジスタ(以下、MOSFETという)は、微細加工技術の進歩により低オン抵抗化が進んでいる。とくに、低抵抗のMOSFETの低オン抵抗化が顕著であり、現在では、フォトレジストの制膜から単位セルのサイズ縮小に限界の見え

前記第2の半導体層上に、少なくとも前記ソース領域に電気的に接続されたソース電極を形成する工程と、

前記半導体基板の第2の主面上にドレイン電極を形成する工程とを備え、

前記第1及び第2の絶縁膜とでゲート絶縁膜を構成し、

前記第2の絶縁膜は、前記第3の絶縁膜を製造する工程における熱処理によってアノール化されることを特徴とする半導体装置の製造方法。

【請求項4】 半導体基板の第1の主面上にドレイン領域として用いられる第1導電型の第1の半導体層を形成する工程と、

前記第1の半導体層上にペーシング領域として用いられる第2導電型の第2の半導体層を形成する工程と、

前記第2の半導体層の表面領域にソース領域として用いられる第1導電型の不純物拡散領域を選択的に形成する工程と、

前記不純物拡散領域表面からこの不純物拡散領域及び前記第2の半導体層を貫通し、前記第1の半導体層中にその底面が達するトレンチを形成する工程と、

前記トレンチの内部面上及びこのトレンチ周辺の前記不純物拡散領域上に第1の絶縁膜である熱酸化膜を酸化性雰囲気中における熱処理により形成する工程と、

前記第1の絶縁膜の上に第2の絶縁膜であるCVD絶縁膜を形成する工程と、

前記第2の絶縁膜の上に第3の絶縁膜であるCVD絶縁膜を形成する工程と、

前記第3の絶縁膜を第2の絶縁膜の上から取り除く工程と、

前記第2の絶縁膜上に、前記トレンチ内及びトレンチ周辺にゲート電極を形成する工程と、

前記第2の半導体層上に、少なくとも前記ソース領域に電気的に接続されたソース電極を形成する工程と、

前記半導体基板の第2の主面上にドレイン電極を形成する工程とを備え、

前記第1及び第2の絶縁膜とでゲート絶縁膜を構成し、

前記第2の絶縁膜は、前記第3の絶縁膜を製造する工程における熱処理によってアノール化されることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、縦型の絶縁ゲート型電界効果トランジスタを有する半導体装置の断面U字状のトレンチ型ゲート構造に関するものである。

【0002】

【従来の技術】 絶縁ゲート型電界効果トランジスタ(以下、MOSFETという)は、微細加工技術の進歩により低オン抵抗化が進んでいる。とくに、低抵抗のMOSFETの低オン抵抗化が顕著であり、現在では、フォトレジストの制膜から単位セルのサイズ縮小に限界の見え

ている平面構造の拡散自己整合タイプから更に進んで、セルサイズをより小形化できるトレンチ構造を有する縦型MOSFETに注目されている。この縦型MOSFETは、半導体基板の第1の主面にソース領域とトレンチを形成し、第2の主面にドレイン領域を形成するようにしてトレンチ側面にチャネル領域が形成されるようにして、セルサイズが小さくなると共にオン抵抗を小さくする事ができる。図10を参照して従来の縦型MOSFETを説明する。図は、MOS集積回路を備えた半導体装置の縦型MOSFETを示す部分断面図である。半導体基板に形成された導電的トレンチは、その表面に、例えば、3μm間隔にマトリクス状に配置されている。N+シリコン半導体基板10の第1の主面にドレイン領域に用いられる低不純物濃度のN型の第1の半導体層11がエピタキシャル成長によって形成されている。そして、この第1の半導体層11の上にチャネル領域に用いられるP型の第2の半導体層12が不純物拡散によって形成されている。

【0003】この半導体基板と第1及び第2の半導体層とがエピタキシャルウェハを構成している。マトリクス状に配置されたトレンチ14は、第2の半導体層12の表面から第1の半導体層11の内部にまで形成されており、その深さは例えば1μmであり、その深さは例えば4μmである。ソース領域13は、第2の半導体層12の表面領域に形成され、各トレンチ14の両側に沿って配置されている。ソース領域13は、このトレンチ14によってほぼ長方形の平面パターンを有する多数の単位セルに分割されており、マトリクス状に規則正しく配置されている。第2の半導体層12の表面には、トレンチ14の内部にも形成される複合ゲート絶縁膜15で被覆されている。ゲート電極Gは、例えば、不純物がドーパされたポリシリコンからなり、トレンチ14内部に埋め込まれ、複合ゲート絶縁膜15の上に形成されている。隣合うトレンチ14内のゲート電極相互は、透電的に形成されている。複合ゲート絶縁膜15の最下層の第1の絶縁膜151は、熱酸化により形成されたシリコン酸化膜(SiO₂膜)から構成されている。この上に第2の絶縁膜152であるシリコン窒化膜(Si₃N₄膜)がCVD(Catalytic Vapor Deposition)により形成されている。さらに、この第2の絶縁膜152の上には、第3の絶縁膜153が形成されている。この絶縁膜はSiO₂膜からなり、第2の絶縁膜と同じ様にCVD法により形成されている。

【0004】ゲート電極G上、ソース領域13の露出している表面及びチャネル形成領域の第2の半導体層12の露出している表面上を覆う様に、例えば、SiO₂膜などからなる絶縁膜17が形成されている。この絶縁膜17のコンタクトホールを介してゲート電極Gに電気的に接続されたゲート配線18が形成されている。同様に、この絶縁膜17のコンタクトホールを介してソース

領域13にコンタクトしているA1などの金属からなるソース電極が形成されている。ソース電極Sは、ソース領域13とともに第2の半導体層12表面にも共通にコンタクトしている。これにより、基板領域・ソース領域・互換性領域、ドレイン領域・基板領域・ソース領域に寄生するNPNトランジスタによる影響を軽減している。第1の半導体層11のドレイン領域に電気的に接続されるA1などの金属からなるドレイン電極Dは、半導体基板10の裏面、即ち、第2の主面に形成されている。ソース電極S及びドレイン電極Dは、各セルに対して一体的に設けられ、各セルのゲート電極Gは、並列接続されている。

【0005】前記Nチャネル型MOSFETは、ソース電極Sを接出し、ドレイン電極D及びゲート電極Gに正の電圧を印加する。この様なバイアスの時にゲート電圧を上上げていくと、第2の半導体層12のゲート電極Gに対向するトレンチ14の側面のチャネル領域がP型からN型に反転して反転層となり、ソース領域13から反転層直下の第1の半導体層11に電子が流れ、

【0006】

【発明が解決しようとする課題】前述のように、従来の縦型MOSFETのゲート絶縁膜15は、トレンチ14の内面及びその周辺の半導体基板表面に熱酸化膜(SiO₂膜)151、窒化膜(Si₃N₄膜)152及び酸化膜(SiO₂膜)153が積層された複合絶縁膜により構成されている(図10参照)。通常、この様な3層の複合絶縁膜は、それぞれ熱酸化膜及び窒化膜の記号をとってONO膜と称している。この酸化膜153は、図10のようにCVDで成長させる場合と第1の絶縁膜151と同じ様に熱酸化により形成することができ、このゲート絶縁膜15はトレンチ14の内面領域にのみ形成されるのではなく、そのトレンチ開口部周辺にも形成される。この部分特にトレンチ14の部分を中心にした領域Rを拡大して図11に示す。この図に示す様に層の部分の熱酸化膜151は、他の部分に比較して薄くなっている。そのため、ゲート絶縁膜を熱酸化膜だけで構成する場合にこの薄い部分が原因でゲート面圧が低下する。その結果、通常は熱酸化膜151の上に比較的均一に形成される方法であるCVDによってシリコン窒化膜(Si₃N₄膜)152を形成する。しかし、CVD法による窒化膜は、露出面にピンホールが形成されることが多いので、見掛け上の誘電率が低くなる。また、機械的強度が低下する。

【0007】このピンホールを補正するため、例えば、再酸化を行ってシリコン酸化膜153を形成している。このシリコン酸化膜153は、その形成時の熱によって窒化膜152を構成する少なくとも表面領域の結晶化が部分的に融着してピンホールが消滅する。ところで、トレンチの頂部の熱酸化膜が薄くなる原因を図12に示

す酸化物が形成される様相に求めることができる。酸化性雰囲気中で第2の半導体層12のシリコン半導体表面を加熱すると、酸素原子が半導体表面からその内部に入り込み、表面に酸化シリコンが形成される(図12(a))。このとき、加熱が進むにつれて酸化シリコン層は、半導体層12の内部へ入り込み、その厚さは、酸化が速まる層の断面形状が次第に尖鋭化していく(図12(b))。したがって、この部分の厚みを十分にす

るためには、他の部分はさらに厚くしなければならぬ。ゲートのチャネル部の絶縁膜が厚くなり過ぎると、低電圧駆動ができなくなるために、余り厚くすることはできない。この様に、縦型MOSFETは、ゲート絶縁膜にONO膜などの複合膜を用いているのが現状である。と、複合膜の各絶縁膜中の電圧平衡が成立するように界面に電荷がチャージアップされることが知られている。これは、複合ゲート絶縁膜に電荷が蓄えられることであり、MOSFETによって変動することを意味している。ゲート絶縁膜のリーク電流V_{th}の変動は、特性や信頼性の面で重大な問題となる。本発明は、この様な事情によりなされたものであり、ゲート絶縁膜にチャージアップされる電荷を減少させ、しきい値電圧V_{th}の変動を抑えた縦型MOSFETを有する半導体装置及びその製造方法を提供することを目的としている。

【0008】

【課題を解決するための手段】本発明の半導体装置は、第1導電型の半導体基板と、前記半導体基板の第1の主面に形成され、ドレイン領域として用いられる第1導電型の第1の半導体層と、前記第1の半導体層上に形成され、ソース領域として用いられる第1導電型の第2の半導体層と、前記第2の半導体層の表面領域に選択的に形成され、ソース領域として用いられる第1導電型の不純物拡散領域と、前記不純物拡散領域表面からこの不純物拡散領域及び前記第2の半導体層を貫通し、前記第1の半導体層中にその底面が達するトレンチを形成する工程と、前記トレンチの底面を含む内腔面上およびこのトレンチ周辺の側面に不純物拡散領域上に第1の絶縁膜である熱酸化膜を形成する工程と、前記第1の絶縁膜の上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上に第3の絶縁膜を形成する工程と、前記第3の絶縁膜の上から取り除く工程と、前記第2の絶縁膜上に、前記トレンチ内及びトレンチ周辺にゲート電極を形成する工程と、前記第2の半導体層上に、少なくとも前記ソース領域に電気的に接続されたソース電極を形成する工程と、前記半導体基板の第2の主面にドレイン電極を形成する工程と、前記半導体基板の第1及び第2の絶縁膜とでゲート絶縁膜を構成し、前記第2の絶縁膜は、前記第3の絶縁膜を製造する工程における熱処理によってアニーラされることを第2の特長としている。

【0011】

【0009】本発明の半導体装置の製造方法は、半導体基板の第1の主面にドレイン領域として用いられる第

1導電型の第1の半導体層を形成する工程と、前記第1の半導体層上にソース領域として用いられる第2導電型の第2の半導体層を形成する工程と、前記第2の半導体層の表面領域にソース領域として用いられる第1導電型の不純物拡散領域を選択的に形成する工程と、前記不純物拡散領域表面からこの不純物拡散領域及び前記第2の半導体層を貫通し、前記第1の半導体層中にその底面が達するトレンチを形成する工程と、前記トレンチの内腔面上及びこのトレンチ周辺の側面に不純物拡散領域上に第1の絶縁膜である熱酸化膜を形成する工程と、前記第2の絶縁膜の上に第3の絶縁膜を形成する工程と、前記第3の絶縁膜の上に第2の絶縁膜を形成する工程と、前記第2の半導体層上に、少なくとも前記ソース領域に電気的に接続されたソース電極を形成する工程と、前記半導体基板の第2の主面にドレイン電極を形成する工程と、前記半導体基板の第1及び第2の絶縁膜とでゲート絶縁膜を構成し、前記第2の絶縁膜は、前記第3の絶縁膜を製造する工程における熱処理によってアニーラされることを第1の特長としている。

【0010】また、半導体基板の第1の主面にドレイン領域として用いられる第1導電型の第1の半導体層を形成する工程と、前記第1の半導体層上にソース領域として用いられる第2導電型の第2の半導体層を形成する工程と、前記第2の半導体層の表面領域にソース領域として用いられる第1導電型の不純物拡散領域を選択的に形成する工程と、前記不純物拡散領域表面からこの不純物拡散領域及び前記第2の半導体層を貫通し、前記第1の半導体層中にその底面が達するトレンチを形成する工程と、前記トレンチの底面を含む内腔面上およびこのトレンチ周辺の側面に不純物拡散領域上に第1の絶縁膜である熱酸化膜を形成する工程と、前記第1の絶縁膜の上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上に第3の絶縁膜を形成する工程と、前記第3の絶縁膜の上から取り除く工程と、前記第2の絶縁膜上に、前記トレンチ内及びトレンチ周辺にゲート電極を形成する工程と、前記第2の半導体層上に、少なくとも前記ソース領域に電気的に接続されたソース電極を形成する工程と、前記半導体基板の第2の主面にドレイン電極を形成する工程と、前記半導体基板の第1及び第2の絶縁膜とでゲート絶縁膜を構成し、前記第2の絶縁膜は、前記第3の絶縁膜を製造する工程における熱処理によってアニーラされることを第2の特長としている。

【作用】ゲート絶縁膜は、熱処理されたCVD絶縁膜と熱酸化膜から構成されているので、電気的、機械的特性が安定していると共に、チャージアップされる電荷の蓄積が従来より少ない。また、前記CVD絶縁膜表面に酸化膜を成長させることによってCVD絶縁膜が熱処理されるので、このCVD絶縁膜は、均一にアニールされる。

【0012】

【実施例】以下、図面を参照して本発明の実施例を説明する。まず、図1乃至図3により本発明の実施例を説明する。図1は、表面の配線部分を省略した半導体基板の平面図、図2は、この半導体基板上の配線部分を示した平面図、図3は、図1のA-A'線に沿う部分の断面図を示す配線部分を含む断面図である。図は、MOS集積回路を備えた半導体装置の概略MOSFETを示している。エピタキシャル半導体層11、12が第1の主面に形成されている半導体基板10に設けられた複数のトレンチ14は、その表面に、例えば、約3 μ m間隔にマトリクス状に配置されている。N+シリコン半導体層10の第1の主面にドレイン領域に用いられる低不純物濃度のN型の第1の半導体層11がエピタキシャル成長によって形成されている。そして、この第1の半導体層11の上にチャネル領域に用いられるP型の第2の半導体層12が第2の不純物濃度を行うことによって形成されるが、第1の半導体層11上に第2のエピタキシャル成長層を形成することによって、これを第2の半導体層とすることができ。

【0013】マトリクス状に配置されたトレンチ14は、第2の半導体層12の表面から第1の半導体層11の内部にまで形成されており、その幅は、例えば、約1 μ m、その深さは、例えば、約4 μ mである。ソース領域13は、第2の半導体層12の表面領域に形成され、各トレンチ14の周辺に沿って配置されている。ソース領域13は、このトレンチ14によってほぼ長方形の平面パターンを有する複数の単位正しく分割されており、単位セルはマトリクス状に規則正しく配置されている。第2の半導体層12の表面は、トレンチ14の内部にも形成されている複合ゲート絶縁膜20で被覆されている。ゲート電極Gは、例えば、不純物がドーパされたポリシリコンからなり、一部はトレンチ14の内部に埋め込まれ、一部はトレンチ14の開閉部周辺の複合ゲート絶縁膜20の上に形成されている。複合ゲート絶縁膜20の最下層の第1の絶縁膜21は、熱酸化により形成されるシリコン酸化膜(SiO₂膜)から構成されている。この上に第2の絶縁膜22であるシリコン強化膜(Si₃N₄膜)がCVDにより形成されている。

【0014】ゲート電極G上、ソース領域13の露出している表面上及びチャネル形成領域の第2の半導体層1

2の露出している表面上を覆う様に、例えば、PSG(リンシリケートガラス)膜などからなる厚さ約600nmの絶縁膜(層間絶縁膜)17が形成されている。この絶縁膜17のコンタクトホールを介してゲート電極Gに電気的に接続されているA1などからなる金属のゲート配線18が形成されている(図2)。同様に、この絶縁膜17のコンタクトホールを介してソース領域13にコンタクトしているA1などの金属のソース電極Sが形成されている。ゲート配線18やソース電極Sなどの配線は、層間絶縁膜17の上にパターンニングされている。図2に示すように、この絶縁膜17の上には、A1のゲート配線18が形成されており、ゲート配線18は、A1のゲートパッド23に接続されている。ゲート配線18は半導体基板10上のトレンチ列間の上に配線されており、ゲートパッド23の下には、トレンチ14は形成されていない。また、ソース電極Sはソースパッド24が形成されている。マトリクス状に形成された各トレンチ14は、ソース領域13の中に形成されている(図1)。複数の、例えば、2つのトレンチを1つのソース領域に形成する事も可能である。

【0015】ソース電極Sはソース領域13とともに第2の半導体層12の表面に共通にコンタクトしている。これにより、基体領域・ソース領域相互間に短絡接続され、ドレイン領域・基体領域・ソース領域に寄生するNPNトランジスタによる影響を軽減している。第1の半導体層11のドレイン領域に電気的に接続されるA1なると金属のドレイン電極Dは、半導体基板10の表面、即ち、第2の主面に形成されている。ソース電極S及びドレイン電極Dは、各セルに対して一体的に設けられ、各セルのゲート電極Gはゲート配線18により共通に接続されているので、各セルは、並列接続されている。前記Nチャネル型MOSFETは、ソース電極Sを接点し、ドレイン電極D及びゲート電極Gに正の電圧を印加する。この様な順バイアスの時にゲート電圧を上けていくと、第2の半導体層12のゲート電極Gに對向するトレンチ14の側面のチャネル領域がP型からN型に反転して反転層となり、ソース領域13から反転層直下の第11の半導体層11に電子が流れる。この逆型MOSFETのゲート絶縁膜20は、トレンチ14の内部及びその周辺の半導体基板表面上に熱酸化膜(SiO₂膜)21及び強化膜(Si₃N₄膜)22が被覆された複合絶縁膜により構成されている。

【0016】ゲート絶縁膜20は、熱処理されたCVD絶縁膜22と熱酸化膜21とから構成されているので、電気的、機械的特性が安定していると共に、チャージアップされる電荷の蓄積が従来より少ない。次に、図4乃至図9を参照して前記実施例の半導体装置の製造方法を説明する。図4乃至図8は、半導体装置の製造工程断面図、図4は、ゲート絶縁膜の結晶構造を説明する平面図である。厚さ約150 μ mのN+シリコン半導体基板

10の第1の主面に第1の半導体層であるN型シリコンエピタキシャル層11を成長させる。更に、このエピタキシャル層11にP型チャネル形成層である第2の半導体層12を形成する。次に、PEP(フォトリソニングプロセス)工程及びイオン注入を用いて第2の半導体層12の表面領域にこの半導体層の表面からソース領域となるN+不純物拡散領域13を形成する。そして、ソース領域13の表面から第2の半導体層12を貫通し、第1の半導体層11に達する複数のトレンチ14を、例えば、RIE(Reactive Ion Etching)法などにより形成し、これをマトリクス状に配置する(図1参照、図4)。

【0017】次に、トレンチ14の内壁面を含む第2の半導体層12表面上に第1の絶縁膜である熱酸化膜21を形成する(図5)。第2の半導体層12表面は、酸化性質面中、約1000℃で熱処理されて熱酸化膜21が形成される。この熱処理温度は、大体900〜1100℃が適当である。次に、この熱酸化膜21の上にCVD法によるシリコンなどの強化膜(CVD強化膜)22を堆積させる(図6)。これは第2の絶縁膜22である。CVD法は、気相状態での化学反応によって強化シリコン膜や酸化シリコン膜などの薄膜を形成する方法であり、下地の状態にかかわらず均一に堆積されるが、膜質(膜の緻密性)の面で熱酸化膜に劣る。即ち、図9(a)に示すようにCVD強化膜の結晶粒子間には、ピンホールなどが存在し、緻密性に欠ける傾向にある。次に、前記強化膜22を酸化性雰囲気中、950℃以上、1150℃以下、例えば、1000℃で1時間程度強化して第3の絶縁膜25である熱酸化膜を形成する(図7)。

【0018】ここで、従来の逆型MOSFETでは、そのゲート絶縁膜として第1及び第2の絶縁膜とともに第3の絶縁膜もその中に含まれ、いわゆるONO膜を構成していたが、本発明では、第3の絶縁膜25を第2の絶縁膜22の上に形成してから、この第3の絶縁膜25をエッチング処理などの方法によって取り除くことに特許がある(図8)。第3の絶縁膜25、この実施例では、シリコンの熱酸化膜を除去するには、この絶縁膜25のみがエッチングされるように第2の絶縁膜22であるCVD強化膜とのエッチング選択比の高い材料で、例えば、ウエットエッチングする。その材料には、例えば、5%もしくはそれ以下の弗酸(HF)を用いる。したがって、この逆型MOSFETのゲート絶縁膜20は、第1の絶縁膜21と第2の絶縁膜22からなり、この実施例では、例えば、第3の絶縁膜25の形成時の第2の絶縁膜22は、この第3の絶縁膜25の厚さが、熱処理により均一にアニールされる。その結果、CVD強化膜22は、図9に示すように、ピンホールが存在する膜質の欠けた粒子構造であったものが、7ニールにより図9(b)に示すように少なくとも表面は、結晶粒

子間の境界が部分的に露出して、ピンホールの少ない膜質の高い膜質に改質される。

【0019】次に、リンなどの不純物がドーパされたポリシリコン膜16をトレンチ14が十分に埋まるように、トレンチ14の周辺にまで堆積させる。このポリシリコン膜16は、ゲート電極として用いられる。そして、トレンチ14及びその周辺にゲート電極となるようにポリシリコン膜16をエッチバックする。次に、第2の半導体層12の表面にPSG膜などの絶縁膜(層間絶縁膜)17をCVD法などで形成する。絶縁膜材料としては、PSG膜以外にBPSG膜などの材料を用いても良い。その後、この層間絶縁膜17の一部にゲート配線Gやソース電極Sのためのコンタクトホールを開孔する。その後、絶縁膜17の上にA1やAl/Si合金などを材料とするゲート配線S及びソース電極Sのバターンを露出する。次に、半導体基板10の第2の主面にA1やAl/Si合金などのドレイン電極Dを形成する。

【0020】次に、前記実施例の半導体装置の他の製造方法について説明する。前記方法では、第2の絶縁膜であるCVD強化膜をアニールするのには第3の絶縁膜としてシリコンの熱酸化膜を用いたが、この実施例では、CVD強化膜を用いる。このCVD強化膜を第2の絶縁膜に堆積する際にその成長速度が大体900℃であるいは950℃前後に高い場合でも、この第2の絶縁膜をアニールすることができ、CVD強化膜の材料として、強化膜を用いるが、強化膜を用いても良い。CVD強化膜は、第2の絶縁膜上に形成されてから、エッチング処理などにより除去される。強化膜の除去と同様に、CVD強化膜のみがエッチングされるように第2の絶縁膜であるCVD強化膜とのエッチング選択比の高い材料でエッチングする。

【0021】

【発明の効果】本発明は、ゲート絶縁膜が、熱処理されたCVD絶縁膜と熱酸化膜の2層から構成されているので、電気的、機械的特性が安定していると共に、チャージアップされる電荷の蓄積が従来より少ない。また、前記CVD絶縁膜表面に酸化膜を成長させることによってCVD絶縁膜が熱処理されるので、このCVD絶縁膜は、均一にアニールされる。

【図面の簡単な説明】

【図1】本発明の実施例の半導体装置に用いる半導体基板の平面図。
【図2】図1の半導体基板の表面の配線領域を示す平面図。
【図3】図1のA-A'線に沿う部分の断面図。
【図4】実施例の半導体装置の製造工程断面図。
【図5】実施例の半導体装置の製造工程断面図。
【図6】実施例の半導体装置の製造工程断面図。
【図7】実施例の半導体装置の製造工程断面図。
【図8】実施例の半導体装置の製造工程断面図。

【図8】実施例の半導体装置の製造工程断面図。

【図9】実施例の半導体装置のゲート絶縁膜の内部構造を説明する平面図。

【図10】従来の半導体装置の断面図。

【図11】図10の半導体装置のゲート絶縁膜の製造方法を説明する部分平面図。

【図12】図10の半導体装置のゲート絶縁膜の部分平面図。

【符号の説明】

10 半導体基板

11 第1の半導体層 (N型シリコンエピタキシャル成長層)

12 第2の半導体層 (P型シリコンエピタキシャル成長層)

キシャル成長層)

13 ソース領域

14 トレンチ

15、20 ゲート絶縁膜

16 ゲート電極

17 絶縁膜 (層間絶縁膜)

18 ゲート配線

21 第1の絶縁膜

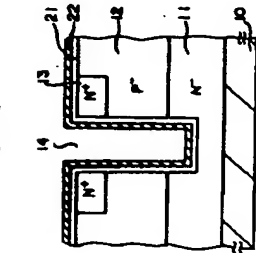
22 第2の絶縁膜

23 ゲートパッド

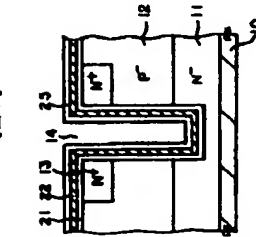
24 ソースパッド

25 第3の絶縁膜

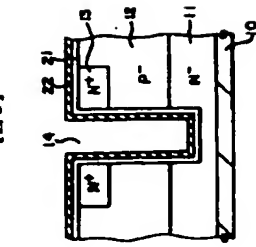
【図6】



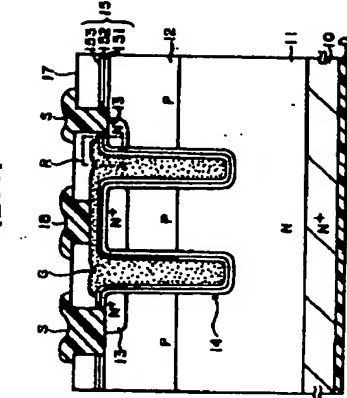
【図7】



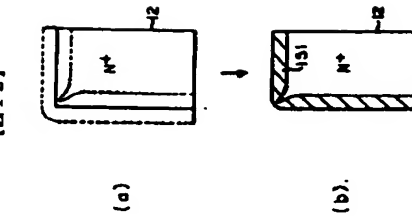
【図8】



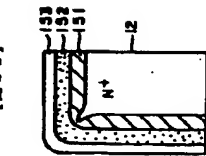
【図10】



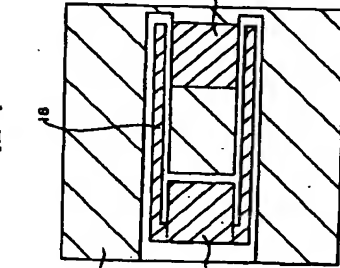
【図12】



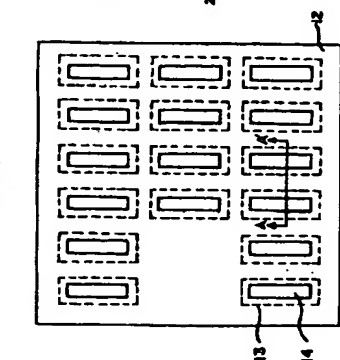
【図11】



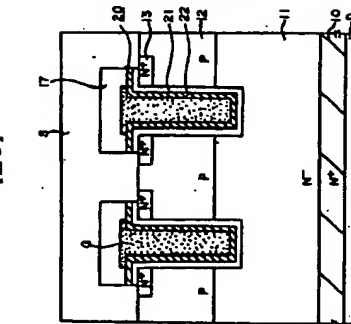
【図2】



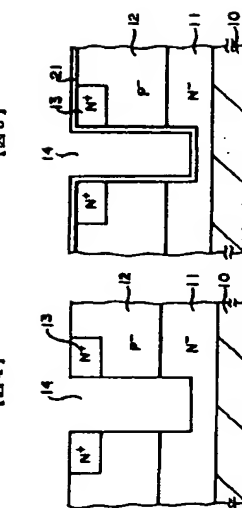
【図1】



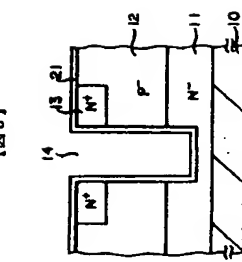
【図3】



【図4】



【図5】



【図9】

